

Prefazione	xiii
Unità di misura	xvii
1 Introduzione	1
1.1 Qualche cenno storico	2
1.1.1 Le tappe fondamentali	2
1.1.2 I primi calcolatori commerciali	6
1.1.3 I microprocessori	8
1.1.4 I microprocessori RISC	13
1.2 Classi di calcolatori	16
1.2.1 Sistemi embedded	16
1.2.2 Sistemi portatili e da tavolo	17
1.2.3 Server	18
1.2.4 Sistemi ad altissime prestazioni	18
1.3 Uno sguardo all'evoluzione tecnologica	21
1.3.1 Processori	22
1.3.2 Memorie	24
1.3.3 La questione dei consumi	26
1.4 Architettura e organizzazione	27
1.5 Livelli e astrazioni	28
1.6 Siti web	30
Domande ed esercizi del capitolo 1	32
2 Elementi architetturali di base	33
2.1 Struttura	34
2.1.1 Organizzazione	36
2.2 La memoria	36
2.3 La codifica dei dati e delle istruzioni	38
2.3.1 Codifica delle istruzioni	39
2.3.2 Sequenze di istruzioni in memoria	42
2.3.3 Sequenzializzazione delle istruzioni	42
2.4 La CPU	43
2.4.1 Parti componenti la CPU	46
2.5 Esecuzione delle istruzioni	47
2.5.1 Fase di fetch	47
2.5.2 Fase di esecuzione	48
2.6 Temporizzazione	50
2.6.1 Temporizzazione della fase di fetch	51
2.6.2 Temporizzazione della fase di esecuzione	52
2.6.3 Esempio completo di temporizzazione	52

2.7	I percorsi interni e il file dei registri	52
2.8	Due approcci alla progettazione della logica di controllo	54
2.8.1	Unità di controllo a logica cablata	55
2.8.2	Unità di controllo microprogrammata	57
2.8.3	Cablata o microprogrammata?	59
2.9	Prestazioni della CPU	59
2.9.1	Calcolo del CPI	60
2.9.2	Legge di Amdahl	62
2.9.3	Popolari indici di prestazioni	63
2.10	Siti Web	65
	Domande ed esercizi del capitolo 2	66
3	Il repertorio delle istruzioni	69
3.1	Programmi e processo di esecuzione	70
3.2	Classi di istruzioni	72
3.3	Istruzioni e architettura	74
3.3.1	Modello memoria-memoria	75
3.3.2	Modello registro-registro	75
3.3.3	Modello registro-memoria	75
3.3.4	Modello a stack	76
3.3.5	Classificazione	76
3.4	Due approcci per il repertorio delle istruzioni	77
3.4.1	Repertorio stile RISC	78
3.4.2	Repertorio stile CISC	79
3.4.3	Confronto RISC - CISC	80
3.5	Repertorio di istruzioni e modello di memoria	82
3.5.1	Collegamento e rilocazione dei programmi oggetto	84
3.6	Indirizzamento	88
3.6.1	Indirizzamento dei registi	88
3.6.2	Indirizzamento immediato	88
3.6.3	Indirizzamento dei dati in memoria	89
3.6.4	Indirizzamento nei trasferimenti del flusso di controllo	91
3.6.5	Indirizzamento delle porte di I/O	92
3.7	Tecniche per le chiamate dei sottoprogrammi	93
3.7.1	Macchine con stack	93
3.7.2	Macchine prive di stack	96
3.8	Il sistema delle interruzioni	98
3.8.1	Classificazione	99
3.8.2	Problemi nel trattamento delle interruzioni	99
3.8.3	Interruzioni vettorizzate	100
3.8.4	Servizio dell'interruzione	100
3.9	Siti Web	105
	Domande ed esercizi del capitolo 3	106
4	Gerarchie di memoria, memoria principale	109
4.1	Gerarchie di memoria	110
4.1.1	Gerarchia	110
4.1.2	Prestazioni	112
4.2	Tecnologie	113
4.2.1	Parametri di valutazione	114

4.3	Le memorie RAM	115
4.3.1	Le memorie statiche (SRAM)	115
4.3.2	Le memorie dinamiche (DRAM)	117
4.3.3	Interlacciamento	122
4.4	Relazione tra le velocità di CPU e di memoria principale	123
4.4.1	Caso di studio: evoluzione della velocità della famiglia 8086 in rapporto a quella delle DRAM	124
4.5	Spazio degli indirizzi	126
4.5.1	Lo standard: l'indirizzamento al byte	128
4.5.2	Parallelismo di 1 byte	129
4.5.3	Parallelismo superiore al byte, allineamento	129
4.5.4	Ordinamento	131
4.6	Parallelismo e modalità di lettura/scrittura	133
4.6.1	Lettura/scrittura di entità allineate	133
4.6.2	Lettura/scrittura di entità non allineate	137
4.7	Memorie di massa	142
4.7.1	Dischi magnetici	142
4.7.2	Memorie a stato solido	144
4.8	Siti web	144
	Domande ed esercizi del capitolo 4	145
5	Il sottosistema di ingresso/uscita	147
5.1	Schema di riferimento	148
5.2	Gestione a controllo di programma	151
5.2.1	Il sottoprogramma di gestione	152
5.3	Gestione sotto controllo di interruzione	154
5.3.1	Le interruzioni esterne	154
5.3.2	Esempio di risposta all'interruzione	155
5.3.3	Risposta all'interruzione	156
5.3.4	Esempio di routine di servizio	157
5.4	Interruzione da parte di più periferiche	159
5.5	Discriminazione da programma	160
5.6	Vettorizzazione delle interruzioni esterne	164
5.6.1	Selettore generato esternamente	164
5.6.2	Linee di richiesta di interruzione indipendenti	171
5.7	Interruzioni annidate	173
5.8	Esempio di controllore di interruzioni: il PIC 8259A	173
5.8.1	Schema di esecuzione delle routine di servizio	176
5.8.2	Esempio di interruzioni nidificate	177
5.9	Interruzioni vettorizzate con daisy chain	179
5.10	L'accesso diretto alla memoria	182
5.10.1	Struttura e funzionamento del controllore DMA	185
5.10.2	Modalità di trasferimento singolo	185
5.10.3	Modalità di trasferimento a blocchi	186
5.11	Siti web	187
	Domande ed esercizi del capitolo 5	188

6 La memoria cache	197
6.1 Organizzazione della cache	198
6.1.1 Cache a mappatura diretta	198
6.1.2 Cache completamente associativa	201
6.1.3 Cache parzialmente associativa	202
6.2 Operazioni di scrittura	203
6.2.1 Miss in scrittura	203
6.2.2 Hit in scrittura	204
6.3 Lo stato della linea di cache	205
6.4 Rimpiazzamento delle linee di cache	206
6.4.1 Algoritmi LRU	207
6.4.2 Un algoritmo di rimpiazzamento pseudo LRU	208
6.5 Prestazioni	211
6.5.1 Un modello per i miss	211
6.5.2 Prelievo della linea	213
6.5.3 Aggiornamento della memoria centrale	214
6.5.4 Cache divisa o unificata	214
6.5.5 Cache multilivello	215
6.5.6 Posizionamento della cache	217
6.6 Sistemi a multiprocessore: coerenza della cache	219
6.6.1 Coerenza	220
6.6.2 Protocolli per il mantenimento della coerenza	221
6.6.3 Protocollo MESI	223
6.6.4 Variazioni al MESI	226
6.7 Siti web	227
Domande ed esercizi del capitolo 6	228
7 La memoria virtuale	231
7.1 Discussione preliminare	232
7.1.1 Il sistema operativo	232
7.1.2 Gestione della memoria	232
7.1.3 Programmi e processi	234
7.1.4 La protezione	237
7.1.5 La memoria virtuale	237
7.2 Paginazione	239
7.2.1 Dimensione della pagina	241
7.3 Il Translation Lookaside Buffer	242
7.3.1 TLB e cache	244
7.4 Gestione della memoria virtuale paginata	245
7.4.1 Memoria virtuale e multitasking	245
7.4.2 Tabella in forma gerarchica	246
7.4.3 Gestione della paginazione	249
7.4.4 Algoritmi di rimpiazzamento	251
7.4.5 Il file di swap	252
7.4.6 Occupazione della memoria	253
7.5 La segmentazione	254
7.6 Protezione	256
7.6.1 Protezione nei sistemi senza memoria virtuale	256
7.6.2 Protezione nei sistemi a memoria virtuale	259
7.7 La memoria virtuale nell'architettura ×86	261

7.7.1	L'unità di segmentazione	263
7.7.2	Tabelle GDT e LDT	267
7.7.3	La paginazione	268
7.8	La protezione nell'architettura ×86	271
7.8.1	Criteri generali	271
7.8.2	Controllo dei privilegi	273
7.8.3	La protezione di pagina	274
7.8.4	Trattamento delle interruzioni in modo protetto	275
7.9	La memoria virtuale nel sistema operativo Linux	276
7.10	Variazione sul tema: le tabelle di mappatura invertite	280
7.10.1	La codifica hash	280
7.10.2	Gestione della tabella IPT	281
7.11	Virtualizzazione	284
7.12	Siti web	289
	Domande ed esercizi del capitolo 7	290
8	La CPU	293
8.1	Un repertorio di riferimento	294
8.1.1	Istruzioni aritmetiche	294
8.1.2	Istruzioni che fanno riferimento alla memoria	295
8.1.3	Istruzioni per il trasferimento del controllo	297
8.1.4	Istruzione di “non operazione”	298
8.1.5	Discussione	299
8.2	Esecuzione e sequenzializzazione delle istruzioni	299
8.3	CPU monociclo	300
8.3.1	Dimensionamento del periodo di clock	302
8.3.2	CPU monociclo con architettura Von Neumann	304
8.4	CPU multiciclo	304
8.4.1	Notazione	305
8.4.2	Fase di prelievo delle istruzioni, IF	306
8.4.3	Fase di decodifica delle istruzioni, ID	306
8.4.4	Fase di esecuzione, EX	307
8.4.5	Fase di memoria, ME	310
8.4.6	Fase di scrittura del registro di destinazione, WB	310
8.4.7	Ricomposizione	311
8.5	Sviluppo della logica di controllo	311
8.5.1	Comandi e selettori	311
8.5.2	Stati comuni a tutte le istruzioni	314
8.5.3	Stati dipendenti dal tipo di istruzione	316
8.5.4	Espressioni logiche per comandi e selettori	319
8.6	Considerazioni sulla realizzazione multiciclo	321
8.6.1	Miglioramenti al modello di CPU multiciclo	322
8.7	Interruzioni nella CPU multiciclo	326
8.7.1	Assunzioni preliminari	326
8.7.2	Le interruzioni software e il ritorno dall'interruzione	327
8.7.3	Interruzioni esterne	329
8.7.4	Eccezioni	332
8.7.5	Discussione	334
	Domande ed esercizi del capitolo 8	336

9 La pipeline	339
9.1 Proprietà della pipeline	340
9.1.1 Prestazioni	341
9.1.2 Indici delle prestazioni	341
9.1.3 Considerazioni	343
9.2 Esecuzione in pipeline	344
9.2.1 Propagazione dei segnali	346
9.3 Le fasi di esecuzione	348
9.3.1 Istruzioni aritmetiche	348
9.3.2 Istruzioni Load/Store	349
9.3.3 Istruzioni di salto condizionato	352
9.3.4 Salti incondizionati	353
9.3.5 Sintesi del contenuto dei campi EX, ME, WB	353
9.3.6 Ricomposizione	355
9.3.7 Comandi e selettori	355
9.4 Conflitti	358
9.4.1 Conflitti strutturali	358
9.4.2 Conflitti sui dati	359
9.4.3 Sovrapposizione ID-WB	361
9.4.4 Riconoscimento del conflitto sui dati	361
9.4.5 Soluzione dei conflitti sui dati tramite stallo	362
9.4.6 Soluzione dei conflitti sui dati tramite anticipazione	363
9.4.7 Soluzione dei conflitti dati tramite riordinamento	367
9.5 Conflitti di controllo	367
9.5.1 Conflitti per salti incondizionati	367
9.6 Conflitti per le diramazioni	369
9.6.1 Predizione statica	369
9.6.2 Diramazione ritardata	370
9.6.3 Predizione dinamica delle diramazioni	371
9.6.4 Branch Prediction Buffer	372
9.6.5 Branch Target Buffer	374
9.6.6 Prestazioni del BTB	377
9.6.7 Ottimizzazione del BTB	378
9.7 Le interruzioni in pipeline	378
9.7.1 Il concetto di interruzione precisa	378
9.7.2 Trattamento delle interruzioni	379
9.7.3 Eccezioni	380
Domande ed esercizi del capitolo 9	382
10 Processori superscalari	385
10.1 Pipeline con unità funzionali differenziate e parallele	386
10.1.1 Esecuzione delle istruzioni	388
10.1.2 Prenotazioni del bus dei risultati	390
10.1.3 Completamento in ordine	391
10.1.4 Completamento fuori ordine con il buffer di riordinamento	393
10.1.5 Completamento fuori ordine con il buffer di storia	399
10.1.6 Esecuzione speculativa	400
10.2 Architetture superscalari	402
10.2.1 Limitazione delle risorse	403
10.2.2 Dipendenze per l'uso dei registri/Prenotazione delle unità funzionali	405

10.2.3	Ridenominazione dei registri	408
10.2.4	Istruzioni Load e Store	413
10.2.5	Trattamento delle diramazioni/Esecuzione speculativa	416
10.2.6	Riesame	417
10.2.7	Pipeline e architetture CISC	424
10.3	Srotolamento dei cicli	429
10.4	Architettura VLIW	432
10.4.1	Limiti dell'approccio VLIW	435
10.4.2	Realizzazioni pratiche	435
10.5	Siti web	435
	Domande ed esercizi del capitolo 10	437
11	Altre forme di parallelismo	441
11.1	Classificazione	442
11.2	SIMD	442
11.2.1	Processori vettoriali	443
11.2.2	SIMD nelle moderne CPU	447
11.2.3	GPU/GPGPU	451
11.3	MIMD	456
11.3.1	Processori multicore	457
11.3.2	Multithreading	459
11.4	Siti web	468
	Domande ed esercizi del capitolo 11	470
12	Organizzazione, interconnessioni, bus	473
12.1	I bus di sistema	474
12.1.1	Caratteristiche dei bus paralleli	477
12.2	Collegamenti tradizionali dei periferici	481
12.2.1	Esempio di standard seriale di livello fisico: RS-232C	482
12.2.2	Altri due standard seriali di livello fisico: RS-422 e RS-485	484
12.3	I bus host e il bus PCI	485
12.3.1	Il bus PCI	487
12.3.2	Plug&Play e autoconfigurazione PCI	491
12.4	Interconnessioni seriali	492
12.4.1	Il “bus” USB	493
12.4.2	Il PCI express	497
12.4.3	Connessioni seriali dei dischi rigidi	501
12.5	Superamento del bus host	503
12.5.1	Interconnessioni punto-punto	504
12.6	I bus nei SOC	510
12.7	Organizzazione dei sistemi	510
12.8	Approfondimento sulla comunicazione seriale	512
12.8.1	Codifica di linea	513
12.8.2	Linea singola o differenziale	516
12.8.3	Trasmissione asincrona	516
12.8.4	Trasmissione sincrona	517
12.8.5	Controllo degli errori	519
12.9	Siti web	521
	Domande ed esercizi del capitolo 12	522

Bibliografia	523
Indice analitico	531
Sigle usate nel testo	541